

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-105584

(43)Date of publication of application : 18.04.1990

(51)Int.Cl.

H01L 31/10

(21)Application number : 63-258442

(71)Applicant : NEC CORP

(22)Date of filing : 14.10.1988

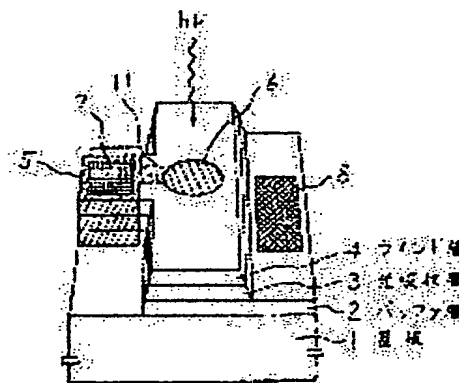
(72)Inventor : ISHIHARA HISAHIRO

(54) SEMICONDUCTOR PHOTODETECTOR

(57)Abstract:

PURPOSE: To reduce the junction capacitance of a surface incidence type photodetector by a method wherein a deep bonding pad region which reaches a semi-insulating substrate is provided adjoining a light detecting region.

CONSTITUTION: A first conductivity type semiconductor layer 2 having at least a light absorbing layer 3 is provided on a semi-insulating semiconductor substrate 1. A deep second conductivity type bonding pad region 5 which reaches the semi-insulating substrate 1 is provided in the semiconductor layer 2 so as to be adjoining a light detecting region 6 having a p-n junction. The semiconductor layer 2 of a specific region around the bonding pad region 5 is removed to expose the semi-insulating substrate 1. With this constitution, a surface incidence type semiconductor photodetector which is easy to assemble and handle and has a low capacitance can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-105584

⑤ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月18日

H 01 L 31/10

7733-5F

H 01 L 31/10

A

7733-5F

H

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体受光素子

⑰ 特 願 昭63-258442

⑱ 出 願 昭63(1988)10月14日

⑲ 発 明 者 石 原 久 寛 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体受光素子

特 許 請 求 の 範 囲

半絶縁性半導体基板上に、第1の導電型を呈する少なくとも光吸収層を含む半導体層を有しており、該半導体層中にpn接合を持つ受光領域に隣接して、前記半絶縁性基板まで到達する深い第2の導電型を呈するボンディングパッド用領域を有し、該ボンディングパッド領域の周辺の特定領域の半導体層が除去され半絶縁性基板が露出している事を特徴とする半導体受光素子。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は、高速光信号検出に用いる半導体受光素子に関するものである。

〔従来の技術〕

近年、化合物半導体受光素子は、光通信或いは光情報処理用の高感度受光器として活発に研究開発並びに実用化が進められている。特にpinフォトダイオード(以下pin-PDと記す)は、アバランシェフォトダイオード(APD)に比べて内部電流増倍機構を持たない為受信感度の点では若干劣るものの、APDに見られる様なアバランシェ立上り時間に起因する利得・帯域幅積(GB積)による帯域制限が無く、またヘテロ構造(光吸収層、増倍層分離型)APDに特有のヘテロ界面のバンド不連続でのキャリア蓄積による応答劣化も無い。このため素子の帯域はCR時定数とキャリアの走行時間で決定され、20GHzを越す値が報告されており、高速光信号検出器としてpin-PDが注目されている。加えてpin-PDは低バイアスで使用する為、APDに比べて信頼性にも優れ、また他素子との集積化にも適している。特に、石英系光ファイバの低損失帯域に相当する1.0~1.6μm帯波長域では、光吸収層の材料としてInGaAsを用い

た、所謂 InP/InGaAs pin-PD が注目を集めている。

従来の pin-PD の代表例の構造を第4図、第5図、第6図に示す。第4図に例示した構造は、 $n^+-\text{InP}$ 基板9上に $n^+-\text{InP}$ バッファ層2、 $n^--\text{InGaAs}$ 光吸収層3、 $n-\text{InP}$ ウィンド層4を積層した表面入射プレーナ型のものである。光を素子表面から受光する為、組立て及び取り扱いが容易にできるものの、 P^+ 領域6に設けた、 P 型ボンディングパッドとなる電極7を受光領域に隣接して素子表面に設ける為、接合面積（即ち接合容量）が大きくなり、 CR 時定数により応答特性が制限されていた。

一方、第5図に例示した裏面入射メサ型構造の素子の場合、接合容量はメサエッチングで形成された受光領域のみで決まる為小さく抑える事ができるが、組立て工程や取り扱いが非常に複雑であった。

また表面入射プレーナ型で、且つ低容量特性を得る為、第6図に示す様に選択的に露出させた半

絶縁性 InP 基板1上にボンディングパッド20を形成した素子もある。ところが、段差配線を施す為、バッファ層2、光吸収層3、ウィンド層4等のエピタキシャル層厚を厚くすると配線切れが生じ易く、歩留りを上げるのが難しかった。

〔発明が解決しようとする課題〕

上述した様に、従来例では組立て及び取り扱いが容易な表面入射型の素子では接合容量が大きく、また低容量化に有利な裏面入射型の素子は、組立て工程や取り扱いが非常に複雑であるという問題点があった。

本発明の目的は、この様な従来の欠点を除去した、低容量特性を有する、製造方法の簡便な表面入射プレーナ型 pin-PD を提供する事にある。

〔課題を解決するための手段〕

前述の問題点を解決する為に本発明が提供する pin-PD は、半絶縁性半導体基板上に、第1の導電型を呈する少なくとも光吸収層を含む半導体層を有しており、該半導体層中に pn 接合を持

つ受光領域に隣接して、前記半絶縁性基板まで到達する深い第2の導電型を呈するボンディングパッド用領域を有し、該ボンディングパッド領域の周辺の特定領域の半導体層が除去され半絶縁性基板が露出している事を特徴とする構成になっている。

本発明による pin-PD は表面入射型構造を有する為組立て及び取り扱いが容易であり、且つボンディングパッド部は半絶縁性基板に到達する様な深い不純物拡散で形成されており、その接合容量は不純物領域がエピタキシャル層をよぎる外周面積で決定されるので小さく抑えるのが容易である。また段差配線等の複雑なプロセスも不要で、製造工程での歩留り低下の懸念も無い。

〔実施例〕

以下本発明について図面を参照して詳細に説明する。第1図は本発明の一実施例である pin-PD の構造を示す模式図、また第2図は本実施例の pin-PD の製造方法を説明する為の各工程に於ける平面模式図（第2図（a）、（b）、

（c））並びに断面構造模式図（第2図（d）、（e）、（f））である。まず、半絶縁性 InP 基板1上に気相成長法により $n^+-\text{InP}$ バッファ層（厚さ $1\mu\text{m}$ 、 $N_D \approx 1 \times 10^{17}\text{cm}^{-3}$ ）2、 $n^--\text{InGaAs}$ 光吸収層（厚さ $3\mu\text{m}$ 、 $N_D \approx 1 \times 10^{15}\text{cm}^{-3}$ ）3、 $n-\text{InP}$ ウィンド層（厚さ $1\mu\text{m}$ 、 $N_D \approx 1 \times 10^{16}\text{cm}^{-3}$ ）4を連続成長する。次いで第2図（a）、（d）に示す様に、特定領域に選択的に Z の長時間拡散を施して半絶縁性 InP 基板まで達する深い P^+ 領域5を形成する。続いて受光領域及びボンディングパッド部までの引き出し部より成る特定領域に、第2図（b）、（e）の様に Z の浅い選択拡散を施すことにより、浅い P^+ 領域6を形成する。この際、キャリアの界面でのトラップや拡散電流成分による応答特性の劣化を防ぐ為に、 pn 接合の位置が $n^--\text{InGaAs}$ 光吸収3中で尚且つ $n^+-\text{InP}$ ウィンド層4との界面近傍（界面から約 5000\AA 以内）に位置する様に拡散時間を制御する。受光領域（ P^+ 領域の円形の部分（第

2図(b)参照))は約 $40\mu\text{m}$ の円形、また受光領域に連なる引き出し部11は $2\mu\text{m}$ 幅、 $50\mu\text{m}$ 長のライン状の形状とした。これらを合わせた接合面積は $1357\mu\text{m}^2$ となる。一方深い P^+ 領域5は表面と平行な方向には $p-n$ 接合を持たず、その接合面積は、第2図(a)より分かる通り、チップの一辺の長さ \times エピタキシャル層のトータルな層厚との積で決まる。ここではチップの大きさを $300\mu\text{m}$ としてある為接合面積は $300 \times 5 = 1500\mu\text{m}^2$ となる。続いてこの深い P^+ 領域5の $p-n$ 接合面の長さが $40\mu\text{m}$ になる様に、第2図(c)、(f)の様に、 P^+ 領域5のエピタキシャル層を選択的に半絶縁性基板が露出するまでエッチングにより除去する事によりこの深い P^+ 領域5が持つ接合面積は $40 \times 5 = 200\mu\text{m}^2$ に減すると共にエッチングによりウィンド層4、光吸収層3を除去して n^+-InP バッファ層2を一部露出させる。その後、この深い P^+ 領域5上に p 側電極7を設け、また一部露出させた n^+-InP バッファ層

2上に n 側電極8を設け、第1図に示す様な構造の受光素子を得る。従来の表面入射プレーナ型素子では、第4図に示す様にボンディングパッド部(電極7の部分)も受光領域形成の為に施した浅い P^+ 型拡散領域6の一部に設けていた。従ってボンディングパッド部の接合容量は、その面積に比例した。通常 $20 \sim 30\mu\text{m}$ の Au ワイヤーをボンディングしている為、ボンディングパッドとして $40\mu\text{m}$ 程度の円形、或いは $40\mu\text{m} \times 40\mu\text{m}$ 程度の矩形の領域が必要であったが、これらは各々 $1257\mu\text{m}^2$ 、 $1600\mu\text{m}^2$ の接合面積となり、容量低減の妨げとなっていた。これに比べて本実施例による $pin-PD$ では、ボンディングパッド部すなわち電極7を形成した P^+ 領域5及び引き出し部11の接合面積(即ち受光領域以外の接合面積)は先に示した通り $200 + 100 = 300\mu\text{m}^2$ と小さく、前述の従来例に対し $1/4 \sim 1/5$ 程度に抑える事ができる。加えて本実施例では、ボンディングパッド部の第1図及び第2図に於ける左右方向の長さは

接合面積に全く寄与しないので、これを長くにとって(即ち面積を広くにとって)ボンディング作業のやり易さを図っても、容量の増加を招く事は無い。

第1の実施例に於いて、エッチングにより P^+ 領域5のエピタキシャル層を半絶縁性基板が露出するまで除去する際、第2図(c)に代って第3図に示す様な形状にしてボンディングパッド部を広くとっても、深い P^+ 領域5の $p-n$ 接合面の長さが一定なら接合面積は変わらない。この様に、このエッチング形状の工夫により、ボンディング作業のやり易さを考慮してボンディングパッド部を広くとり、且つ、 $p-n$ 接合面の長さを短くする事で更に低容量化を図る事も可能である。

(発明の効果)

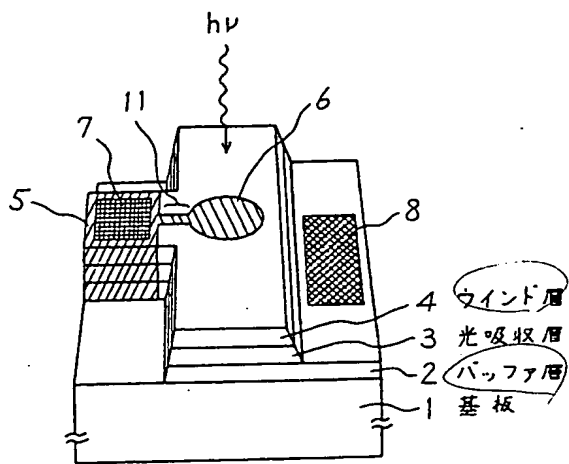
以上説明したように、本発明によれば表面入射型で組み立て及び取り扱いが容易で、且つ低容量特性に優れた、製造方法の簡便な半導体受光素子が得られる。

図面の簡単な説明

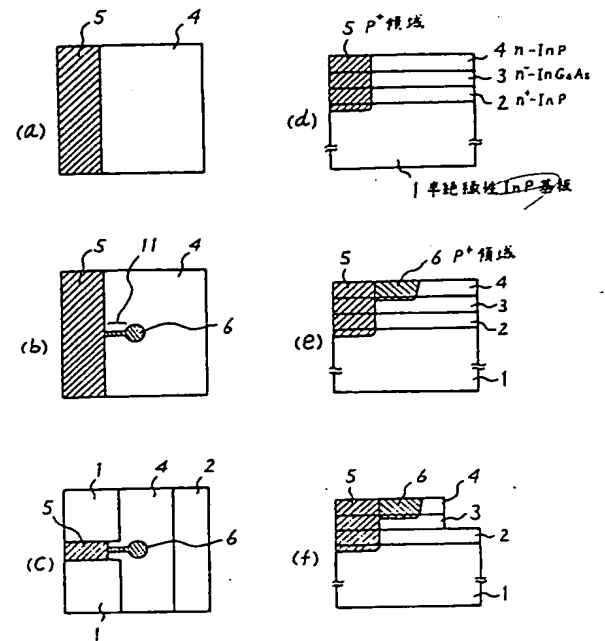
第1図は本発明の一実施例の構造模式図、第2図(a)、(b)、(c)、(d)、(e)、(f)は本実施例の製造方法を説明する為の各工程に於ける表面模式図並びに断面構造模式図、第3図は本発明の別の実施例を説明する為の平面模式図、第4図、第5図、第6図は従来例の断面構造模式図である。

図に於いて、1…半絶縁性 InP 基板、2… n^+-InP 、3… $n^+-InGaAs$ 、4… n^+-InP 、5… P^+ 領域、6… P^+ 領域、7… P 側電極、8… n 側電極、9… n^+-InP 基板を各々示す。

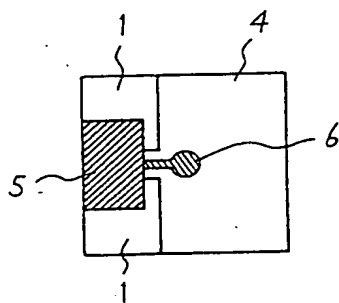
代理人 井理士 内 原 晋



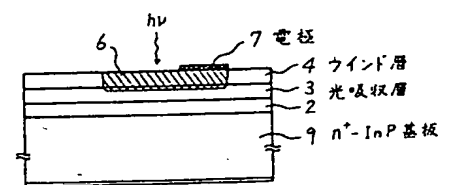
第1図



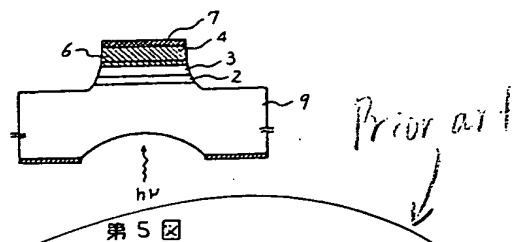
第2図



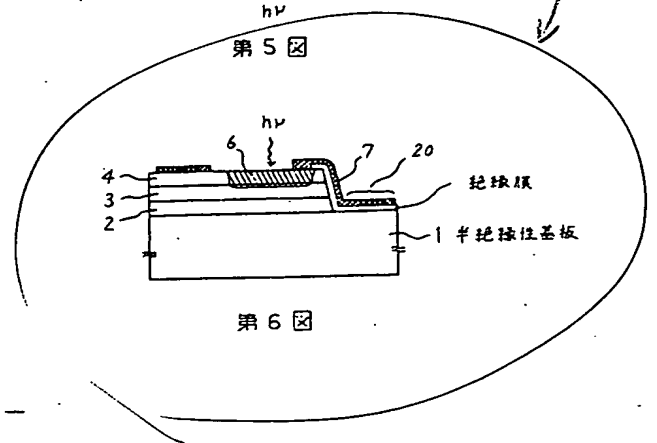
第3図



第4図



第5図



第6図

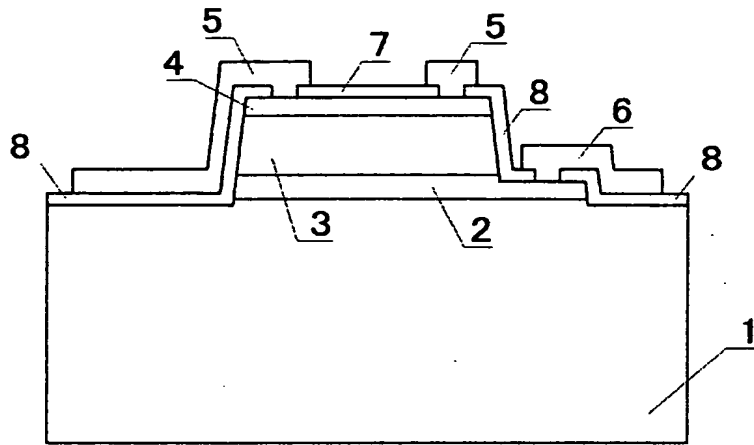
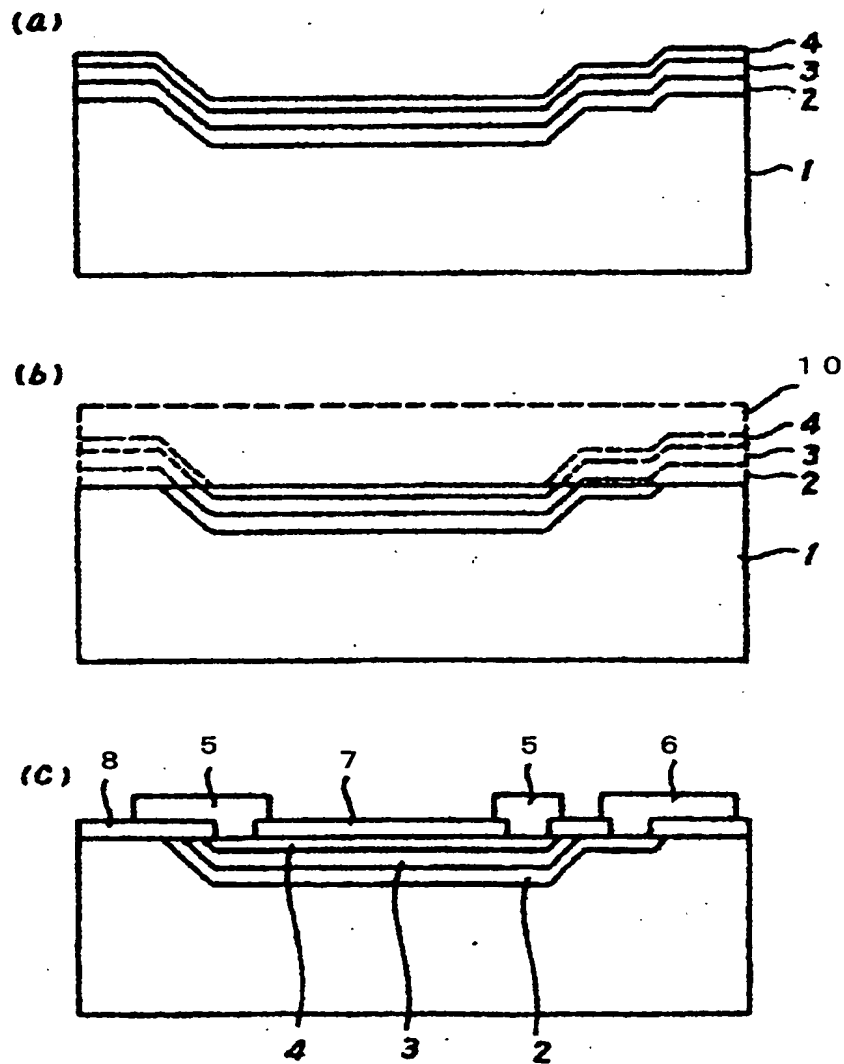


図 2



8 図 3